



(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2718424号

(45) 発行日 平成10年(1998) 2月25日

(24) 登録日 平成 9 年(1997)11月14日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M 13/12			H 0 3 M 13/12	
G 1 1 B 20/18	5 2 0		G 1 1 B 20/18	5 2 0 E
	5 3 4			5 3 4 A
	5 7 0			5 7 0 F

請求項の数 5 (全 17 頁)

(21) 出願番号 特願平6-324274  
(22) 出願日 平成 6 年(1994)12月27日  
(65) 公開番号 特開平7-249998  
(43) 公開日 平成 7 年(1995) 9 月26日  
(31) 優先権主張番号 2 0 3 4 1 3  
(32) 優先日 1994年 2 月28日  
(33) 優先権主張国 米国 (U S)

(73) 特許権者 390009531  
インターナショナル・ビジネス・マシー  
ンズ・コーポレーション  
INTERNATIONAL BUSI  
NESS MASCHINES COR  
PORATION  
アメリカ合衆国10504、ニューヨーク州  
アーモンク (番地なし)  
(72) 発明者 ジョナサン・ダーレル・コッカー  
アメリカ合衆国55906、ミネソタ州ロチ  
ェスター、フィフス・ストリート・ノー  
ス・イースト 1605  
(74) 代理人 弁理士 合田 潔 (外2名)

審査官 稲葉 和生

最終頁に続く

(54) 【発明の名称】 最尤データ検出方法及び装置

1

(57) 【特許請求の範囲】

【請求項 1】 デジタル・サンプルを提供するアナログー  
デジタル変換器 (ADC) に結合され、アナログ信号を  
提供するヘッド及びディスク・アセンブリを含むパーシ  
ャル・レスポンス (P R) ・データ・チャンネルにおける  
最尤データ検出方法であって、  
前記 ADC から複数のデジタル・サンプルを受信するス  
テップと、  
前記受信デジタル・サンプルをクラス I V パーシャル・  
レスポンス (P R 4) ・サンプルを提供する第 1 のフィル  
タに供給するステップと、  
前記第 1 のフィルタを通過した前記 P R 4 サンプルを拡  
張クラス I V パーシャル・レスポンス (E P R 4) サン  
プルを提供する (1 + D) デジタル・フィルタである第  
2 のフィルタに供給するステップと、

2

前記第 1 のフィルタを通過した P R 4 サンプルを第 1 の  
データ検出器に供給するステップと、  
前記第 2 のフィルタを通過した E P R 4 サンプルを第 2  
のデータ検出器に供給するステップと、  
前記 ADC から受信したデジタル・サンプルに回答して  
所定のパラメータを識別するステップと、  
前記識別された所定のパラメータに回答して、前記第 1  
及び前記第 2 のデータ検出器の少なくとも 1 つを選択す  
るステップと、  
を含む、最尤データ検出方法。

10

【請求項 2】 前記第 1 のフィルタを通過した P R 4 サン  
プルを前記第 1 のデータ検出器に供給する前記ステップ  
が、前記 P R 4 サンプルを P R 4 ビタビ検出器に供給す  
るステップを含む、請求項 1 記載の最尤データ検出方  
法。

【請求項3】前記第2のフィルタを通過したEPR4サンプルを前記第2のデータ検出器に供給する前記ステップが、前記EPR4サンプルをEPR4ビタビ検出器に供給するステップを含む、請求項2記載の最尤データ検出方法。

【請求項4】デジタル・サンプルを提供するアナログ・デジタル変換器(ADC)に結合され、アナログ信号を提供するヘッド及びディスク・アセンブリを含むデジタル・データ・チャンネルにおけるデータ検出装置であつて、

前記ADCに結合され、前記ADCから複数のデジタル・サンプルを受信してクラスIVパシカル・レスポンス(PR4)デジタル・サンプルを与える第1のフィルタと、

前記第1のフィルタに結合され、前記第1のフィルタを通過したPR4デジタル・サンプルを受信して拡張クラスIVパシカル・レスポンス(EPR4)デジタル・サンプルを与える第2の(1+D)フィルタと、

前記第1のフィルタに結合され、前記第1のフィルタを通過したデジタル・サンプルを受信するクラスIVパシカル・レスポンス(PR4)・ビタビ検出器と、

前記第2の(1+D)フィルタに結合され、前記第2の(1+D)フィルタを通過したデジタル・サンプルを受信する第2のデータ検出器と、

前記ADCから受信されたデジタル・サンプルにตอบสนองして所定のパラメータを識別する手段と、

前記識別された所定のパラメータにตอบสนองして、前記クラスIVパシカル・レスポンス(PR4)・ビタビ検出器及び前記第2のデータ検出器の少なくとも1つを選択する手段と、

を含むデータ検出装置。

【請求項5】前記第2のデータ検出器が拡張クラスIVパシカル・レスポンス(EPR4)・ビタビ検出器である、請求項4記載のデータ検出装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は一般にデータ検出方法及び装置に関し、特に、直接アクセス記憶装置(DASD)におけるパシカル・レスポンス最尤(PRML: partial-response maximum-likelihood)、拡張パシカル・レスポンス最尤(EPRML: extended partial-response maximum-likelihood)、及びビタビ(Viterbi)・データ検出に関する。

【0002】

【従来の技術】最尤シーケンス検出技術によるパシカル・レスポンス信号伝達、デジタル・データ通信及び記憶アプリケーションにおいて知られている。高データ密度及び高データ・レートは、PRMLチャネルを使用して、ディスク上のデジタル・データを読み書きすることにより達成される。

【0003】PRMLチャネルを含む既知の市販のディスク・ドライブは、データ・レートの適切な選択により、最尤シーケンス検出(MLSD: maximum-likelihood sequence detection)またはPRMLを有する2進パシカル・レスポンス・クラス4(PR4)信号伝達が、現在使用される線記録密度において、ほとんど最適に近い性能を提供する事実を基礎とする。通常、磁気記録チャネルは、Tをチャンネル符号化ビット周期、Rをコード・レート、及び $p_{50}$ をチャンネルのステップ応答の50%レベル幅とすると、 $0.8T/R < p_{50} < 1.6T/R$ で動作する。例えば、 $p_{50} = (\beta_{user} / (\pi R))T$ であり、ここで、 $\beta_{user}$ は正規化ユーザ・データ・レートを表し、Rは各機構に特有のコード・レートであり、例えばPRMLでは $R = 8/9$ が有利である。

【0004】デジタル・フィルタ等価を有するPRMLにおける等価フィルタによるノイズ増大に起因する性能損失は、チャンネルが $p_{50} > 1.6T/R$ などの線記録密度で動作するとき、益々重要となる。結果的に、PRMLはより大きな線記録密度において、製品仕様に適合しなくなる。

【0005】主に線密度の増加による領域記憶密度の増加は、競合製品仕様に適合するために、PRMLチャネルの置換またはより有効な機構による補足を必要とする。しかしながら、完全に新規なチャンネル・アーキテクチャを開発及び具体化することは、複雑且つ高価な作業であり、今日の費用有効且つ早期市場投入の要求に反することになる。

【0006】米国特許第4786890号は、ランレングス制限コード(RLL)を使用するクラスIV PRMLチャネルを開示する。開示されるクラスIVパシカル・レスポンス・チャンネル多項式は $(1-D^2)$ であり、ここで、Dは1ビット間隔遅延演算子であり、 $D^2$ は2ビット間隔遅延演算子の遅延であり、チャンネル応答出力波形は、入力波形からそれを2ビット間隔遅延させた同一の波形を差し引くことにより記述される。8ビット2進データを9ビット・コード・シーケンスから成るコードワードに符号化するために、 $(0, k = 3/k1 = 5)$  PRML変調コードが使用され、ここで、コード・シーケンス内で許可される連続0の最大数kは3であり、全ての偶数または全ての奇数シーケンス内の連続0の最大数k1は5である。

【0007】米国特許第5196849号は、クラスIV PRMLチャネルにおいて使用される上記最大数及びランレングス制限を有するレート8/9のブロック・コードを開示する。

【0008】トレリス(Trellis)符号化技術は、ノイズ性のまたは状態の悪いチャンネルにおいて要求される符号化利得を提供するために使用される。米国特許出願第4888775号及び同第4888779号は、PRMLチャネルにおけるトレリス符号について述べおり、こ

これはPRMLチャネル上のデジタル・データの伝送において、多大に改善された符号化利得を提供する。

【0009】米国特許第4609907号は、パーシャル・レスポンス及びランレングス制限符号化を用いての帯域幅圧縮の方法を述べている。第1の $1-D^2$ チャネルが、 $1+D$ チャネルと共に刻時データの検出のために使用される。

【0010】拡張(EPR4)等価、タイミング及び利得制御を含む従来のEPRMLチャネル設計は、PRMLチャネルに比較してその複雑度が著しく飛躍する。従来の実施方法では、PRML及びEPRMLは共通の機能ブロックをほとんど共用しない。従来のアプローチは、サイズ、電力及びスピードの点で受入れることができないものと考えられる。EPRMLにおいて、5レベル利得及びタイミング・ループに要求される計算は、より複雑であり低速である。また5レベル・タイミング・グラジエント計算は、PRMLの場合の3レベル計算よりも良好ではないものと思われる。EPRMLは8状態非インタリーブド・ビタビ検出器を必要とし、これは従来方法では、サイズ、能力及びスピードの点で受入れることができない。従って、受入れ可能なサイズ、コスト及び能力を許容するEPRMLを提供することが望まれる。

【0011】線密度増加の実現のために、全ディスク半径に渡り最適な性能を提供するように、EPRML/PRML組合わせ系を具体化することが望ましい。

#### 【0012】

【発明が解決しようとする課題】本発明の第1の目的は、従来構成の多くの欠点を克服するデータ検出方法及び装置を提供することである。

#### 【0013】

【課題を解決するための手段】本発明の目的及び利点は、デジタル・サンプルを提供するアナログーデジタル変換器(ADC)に結合され、アナログ信号を提供するヘッド及びディスク・アセンブリを含む、パーシャル・レスポンス(PR)・データ・チャネルにおける最尤度\*

チャネル選択と信号解析の関係

チャネル・タイプ    コード・レート: R    この範囲の最適分析解決

ピーク検出 (1, 7)    2/3     $p_{\text{iso}} \leq 0.8 T/R$

PR4 (PRML)    8/9     $0.8 T/R < p_{\text{iso}} \leq 1.6 T/R$

R

EPR4 (EPRML)    8/9

【0016】EPRML/PRML組合わせ系は、容量と性能の両方を最大化する新たなアプローチを生成する。ディスクの外径(OD)に向けてPRML検出系を使用し、ディスクの内径(ID)に向けてEPRML系を使用し、全半径或いはスライト・ゾーン・バンド・レコーディング(ZBR: zoned band recording)に渡りチャネル・データ・レートを最大レートに保持することにより、多大な容量の増加(例えば15%程度)を獲得

\*ータ検出のための方法及び装置により達成される。複数のデジタル・サンプルがADCから受信される。受信されたデジタル・サンプルは、選択された第1のフィルタ及び選択された第2のフィルタに供給される。第1のフィルタによりフィルタリングされたデジタル・サンプルは、第1のデータ検出器に供給され、第2のフィルタによりフィルタリングされたデジタル・サンプルは、第2のデータ検出器に供給される。所定のパラメータが識別され、識別された所定のパラメータにตอบสนองして、第1及び第2のデータ検出器の少なくとも1つが選択される。

#### 【0014】

【実施例】図1及び図2を参照すると、それぞれパーシャル・レスポンス・クラス4(PR4)及び拡張パーシャル・レスポンス・クラス4(EPR4)にもとづき、プラスとマイナスの2進入力を仮定したときのパーシャル・レスポンス最尤(PRML)チャネルのパルス応答を表すグラフが示される。PR4の系多項式は $(1-D^2)$ である。PR4応答の固有展開は、系多項式 $(1-D^2)(1+D) = (1+D-D^2-D^3)$ を有する拡張パーシャル・レスポンス・クラス4(EPR4)応答である。図1及び図2は、1レングス書き込み電流パルスによる、それぞれPR4及びEPR4の等価リードバック波形を表す。等価EPR4サンプルでは、PR4の場合の3つのレベル(+2, 0, -2)に対して、5つのレベル(+4, +2, 0, -2, -4)において発生する。最尤検出がこれらのパーシャル・レスポンス系のいずれにおいても適用される。

【0015】本発明によれば、EPR4またはPR4の正しい選択が磁気設計ポイントに依存する。検出方法だけが、改善されたエラー率性能に対応して変更される。表1に示されるように、EPR4またはPR4が磁気設計ポイントの範囲では最適な分析解決である。表において、Tはチャネル符号化ビット周期、Rはランレングス制限コード・レート、及び $p_{\text{iso}}$ はチャネルのステップ応答の50%レベル幅である。

#### 【表1】

この範囲の最適分析解決

$p_{\text{iso}} \leq 0.8 T/R$

$0.8 T/R < p_{\text{iso}} \leq 1.6 T/R$

$1.6 T/R < p_{\text{iso}}$

することが可能となり、ファイルの全体的なデータ・レート性能も改善される。このアプローチは有効である。なぜなら、検出器の型がチャネルの磁気設計ポイントに適合され、それにより線密度の増加分よりも少なく、エラー率が悪化するからである。

【0017】予備試験データによれば、EPRMLデータ検出はPRMLデータ検出に比較して、ADCの飽和、MRの非対称性及び補正無しの非リニア・ビット・

シフトに対して、より敏感である。EPRML/PRMLの組み合わせによれば、既知のZBR系が提供する性能及び容量を多大に上回ることができる。線密度が増加する分、チャンネル・エラー率が常に悪化すると仮定すると、ZBRは容量の増加を提供する。ZBRからの容量利得はディスクのIDに向けて、データ・レート性能が低下するという不利を常に有する。

【0018】図3及び図4を参照すると、本発明による直接アクセス記憶装置のパーシャル・レスポンス記録チャンネル10における、パーシャル・レスポンス最尤(PRML)及び拡張パーシャル・レスポンス最尤(EPRML)データ検出の組み合わせのブロック図が示される。2進記号ストリング形式などによる書込みカスタム・データが、符号器12に供給される。符号器12は予め定義されたランレングス制限またはコードワードを有する変調符号化出力を生成し、これは $(1-D^2)$ 演算により記述されるクラスIVパーシャル・レスポンス(PR)・チャンネルへの入力として作用する。図示のように、本発明は高密度デジタル磁気記録装置における改善されたデータ検出のために、PRMLチャンネルにおけるEPR4ビタビ検出(EPRML)の新規アーキテクチャ及び具体化を提供する。

【0019】図4を参照すると、本発明の新アーキテクチャは、PRML及びEPRMLの組み合わせ系が、PR4ビタビ検出器14またはEPR4ビタビ検出器16のいずれかと共に、図3に示される全ての機能ブロックを共用することを可能にする。このアーキテクチャは、単純な $(1+D)$ デジタル加算器またはフィルタ回路18、EPR4ビタビ検出器16、及びPR4ビタビ検出器14またはEPR4ビタビ検出器16の出力を選択する1ビット・マルチプレクサ20を含むだけで、PRMLチャンネルへのEPRML機能の追加を可能にする。

【0020】シリアライザ24及びプレコード26が符号器12に続いて設けられる。プレコード26は $1/(1-ADD_2D)$ 演算により示され、ここで、Dはユニット遅延演算子であり、 $ADD_2$ はモジュロ2加算を意味する。プレコード26に結合されるPRML前比較28は、書込みトリガ回路30に変調2進パルス信号を供給し、書込みトリガ回路30は、ディスク表面への書込みのための変調書込み電流を供給する。書込みトリガ回路30は $1/(1-ADD_2D)$ 演算により示される。プレコード26は書込みトリガ回路30と共同で、EPRMLにおける非標準プレコード $1/(1-ADD_2D^2)$ を形成し、これは標準EPRMLプレコードと比較して、エラー事象ラングス及びタイプI記号エラーの数を低減することがわかっている。

【0021】アナログ読出し信号が、ヘッド及びディスク・ブロック32において獲得される。読出し信号はアーム電子回路ブロック34を介し、可変利得増幅器(VGA)36に供給される。増幅された読出し信号はロー

パス・フィルタ38に供給され、これは好適にはアナログ・デジタル変換器(ADC)40の飽和を回避するために高域周波数を増幅する。ローパス・フィルタを通過した読出し信号は、ADC40によりデジタル形式に変換される。ADC40は、例えば64段階の6ビット・サンプル値を提供する。生のサンプル及びノイズが、ラインBで示されるADC40の出力に提供される。

【0022】ADC40のサンプルは、タイミング回復及び利得制御42、並びに10タップ有限インパルス応答(FIR)デジタル・フィルタなどのデジタル・フィルタ44に供給される。タイミング回復及び利得制御42は、VGA36に利得制御信号を供給し、タイミング制御信号をADC40に供給する。EPRML/PRML組み合わせ系10は、ラインAで示されるデジタル・フィルタ44の出力において提供されるPR4等価サンプル及びノイズに対して、共通の3レベル利得及びタイミング・ループを使用する。PR4等価サンプルにもとづく利得及びタイミング・ループは単純であり、EPR4サンプルに対する5レベル・ループよりも良好であると10 考えられる。

【0023】PR4等価サンプルは、デジタル $(1+D)$ 加算器またはフィルタ回路18により変換され、EPR45レベル・サンプルが得られ、これがEPR4ビタビ検出器16に供給される。デジタル・フィルタ44によりフィルタリングされた信号は、PR4ビタビ検出器14に供給され、また加算器回路18を介して、EPR4ビタビ検出器16にも供給される。PR4ビタビ検出器及びEPR4ビタビ検出器14及び16は、復号器46に結合されて、データ・リードバックにおける最10 尤(ML)検出処理が完了する。

【0024】EPR4ビタビ検出器16に結合されるボストコード50は、 $1-ADD_2D^2$ 演算を提供する。並列化機構52は、マルチプレクサ20からの選択検出器出力を復号器46に結合する。EPRMLデータ検出またはPRMLデータ検出の使用はソフトウェアにより選択可能であり、1ヘッドまたは1バンド当たりの最適化にもとづき選択される。またデータ回復プロシージャ(DRP)の間、より良好な回復のために検出器14または16のいずれかが使用されてもよい。

【0025】EPRML/PRML組み合わせは、共通の(8、6、 $\infty$ )、8/9レート符号器12及び(8、6、 $\infty$ )、8/9レート復号器46を使用する。このコードはPRML及びEPRML系の両方に互換である。(8、6、 $\infty$ )、8/9レート・コードを有するEPRML系は、全ての最小距離エラー事象において、最大2つの隣接コードワードのエラーを生成する。この特性はこのコードを使用するPRML系に等価であり、従って、EPRML/PRML組み合わせ系は、通常、追加のECC要求を必要としない。

【0026】PR4チャンネルは2進データがディスクに

書込まれる以前に、3レベルの符号化を適用する。それらはすなわち、1) エラー訂正符号化 (ECC)、2) ランレングス制限 (RL L) 符号化、及び 3)  $1/(1 - ADD; D^2)$  前符号化である。後者は、図 3 に示されるプレコーダ 26 及び書込みトリガ 30 における 2つの  $1/(1 - ADD; D)$  ステージにおいて具体化される。ここで、前符号化は PR 4 信号形式に適合し、RL L コードの設計の単純化を図る。また前符号化はリードバック信号の極性に関するデータの曖昧さを回避する。ECC の設計基準は、後符号化または逆の前符号化データ・ストリームにおける期待エラー・バーストの長さに相当する。

【0027】2つのタイプ (タイプ I 及びタイプ II) のいわゆる最小 (ユークリッド) 距離エラー事象 (MDEE) が、EPR 4 ビタビ検出器のエラー・バースト振舞いを管理する。タイプ I は、PR 4 ビタビ検出器のエラー・バースト振舞いを決定する。しかしながら、PR 4 で使用される (8、6、 $\infty$ ) 制限 RL L コードと共に、最長のタイプ II エラー・バーストは、最長のタイプ I エラー・バーストよりも短く、稀である。更に EPRML における非標準の前符号化は、タイプ I エラー・バーストにおける記号エラーの数を、4 から 2 に減らす利点を有する。

【0028】PR チャンネル 10 において使用される所与の符号化機構では、特に PR 4 前符号化を利用することにより、図 4 の後符号化データ・ストリーム (8、6、 $\infty$ ) 入力) 復号器 46 における EPR 4 ビタビ検出におけるタイプ I MDEE により生じる最長エラー・バーストが 15 記号長となり、最初と最後の記号がエラーとなる。これは検出器 14 による PR 4 ビタビ検出の場合と同じ長さである。更にタイプ II MDEE により生じるエラー・バーストは高々 12 記号長であり、最初の 2 つ及び最後の 2 つの記号がエラーとなる。(8、6、 $\infty$ ) コードでは、これは MDEE バーストの場合に、PR 4 ビタビ検出または EPR 4 ビタビ検出のどちらが使用されるかに関係無しに、高々 2 つの隣接 9 ビット・コードワードがエラーとなることを意味する。

【0029】EPR 4 ビタビ検出の具体化は、8 ステートのサバイバ・パス・メモリ (SPM) の具体化を必要とし、その最小有限深度はタイプ I MDEE の最大期待長により決定される。要求されるステージ数は最小 12 であるが、例えば 15、16 または 17 のステージが使用されてもよい。追加のステージはノイズ性の状態におけるエラー率の改善を提供する。予測される記号シーケンスは図 3 及び図 4 のカスタム・データであるが、総称ビタビ・アルゴリズムは前符号化データ・シーケンスを予測する。原則的には、後符号化はビタビ検出器に埋込まれるか、或いは明示的な後符号化により達成される。通常、埋込み式の後符号化は、PRML チャンネル内の PR 4 ビタビ検出器において実施される。明示的な後

符号化は、EPRML における EPR 4 ビタビ検出器 16 の好適な分析解決である。なぜなら、これは SPM 及び後符号化の機能の具体化において、最大の全体的節約を可能にするからである。

【0030】このアーキテクチャは、電力節約のために PR 4 ビタビ検出器 14 または EPR 4 ビタビ検出器 16 のパワーオフ状態或いは遊休状態を許容する (他は実行状態)。或いはビタビ検出器 14 及び 16 が同時に実行され、排他的論理和 (XOR) 56 により互いに比較されてもよい。この方法は、例えばエラー訂正コード (ECC)、予測故障分析 (PFA) 機構及び汎用エラー測定 (GEM) 機能と共に、両方のオンザフライ (on-the-fly) 式データ回復プロセスに有利に含まれる。

【0031】図 3 に示される EPR 4 の統合方法の重要な特徴は、タイミング回復、利得制御及び PR 4 等価の 3 つの機能が、データ検出の機能から完全に切り離される点である。10 タップ・デジタル・フィルタ 44 の出力に対しては、データ/信号パスの変更は無い。

【0032】 $1+D$  加算器または  $1+D$  フィルタ 18 の出力は、EPR 4 に似たサンプルを供給し、これが更に 8 状態 EPR 4 ビタビ検出器 16 により処理される。明示的な後符号化がポストコード 50 によって、EPR 4 ビタビ検出器から獲得されるビット・ストリームに適用される。選択されると、後符号化データ・ストリームが 2 対 1 マルチプレクサ (MUX) 20 を介して、並列化機構 52 に送信される。それ以外では、MUX 20 は PR 4 ビタビ検出器 14 の出力を並列化機構 52 にパスする。EPR 4 検出器 16 における決定遅延は、更にパイプラインにより幾分長くなるので、適切な遅延ブロック 54 を PR 4 ビタビ検出器の出力に導入することにより、2 つの検出期間の決定遅延を効果的に同期することが可能である。この選択的な遅延 54 は、両方の検出器が継続的にパワーアップ状態で並列に動作するとき、完全なオンザフライ式不等検出を可能にする。図 4 に示されるように、PR 4 ビタビ検出器 14 及び EPR 4 ビタビ検出器 16 から獲得された後符号化ビット・ストリームは、XOR 機能 56 に供給され、その出力は、2 つの検出器が判定を異にする場合に、そのことを ECC、PFA 及び GEM 回路に示すために使用される。

【0033】2 つの検出器の同時オペレーションが望まれない場合、未使用の検出器をパワーダウンすることが可能である。この場合、PR 4 検出パス内の任意選択の遅延 54 及び XOR 機能 56 が必要とされない。

【0034】図 5 は、高密度デジタル磁気記録装置における改善されたデータ検出のための方法の柔軟な統合を可能にするチャンネル・アーキテクチャを示す。図 5 において、図 3 のライン A で示されるように、デジタル・フィルタ 44 の出力は PR 4 サンプルであり、これには例えばディスク及び電子回路からのノイズが印加されて、

11

セクタ60に供給される。或いは図3のラインBにおいて示されるADC40の生のサンプル及びノイズ出力がセクタ60に供給される。ここで、図3において、アナログ・ローパス・フィルタ38及び可変利得増幅器VGA36の位置は、必要に応じ交換可能であることを述べておく。

【0035】図3乃至図5に示されるアーキテクチャの重要な特徴は、タイミング回復、利得制御及びPR4等価の3つの機能が、データ検出の機能から完全に切り離される点である。図5において選択されるデータ検出方法に依存して、2つの任意選択AまたはBのいずれかが検出器の前処理フィルタの実現において、より有利であらう。

【0036】PR4ビタビ検出器14は、デジタル・フィルタ44により提供されるPR4サンプルに対して直接作用し、デジタル・フィルタ出力には追加の信号形成は要求されない。EPR4（拡張PR4）ビタビ検出器16は、デジタル・フィルタ18の出力において得られる（ノイズ性の）EPR4サンプルに対して、8状態検出器として動作する。デジタル・フィルタ18は転送多項式 $1+D$ を有し、ノイズ性のPR4サンプルがその入力に供給される。 $(p \cdot 50 > 1, 6T/R)$ のチャンネルでは、PRMLと比較した場合に、このEPR4データ検出により、多大に良好な性能が獲得される。

【0037】任意の適切なPR（パーシャル・レスポンス）系では、PR型フィルタ62が対応するPRビタビ検出器64と一緒に使用される。PRMLデータ検出器高及びEPRMLデータ検出機構は、例えばEPRMLなどの高順位PR系に一般化される。EPRMLは多項式 $(1-D^2)(1+D)(1+D)$ により特徴化され、データ検出がフィルタ62及びPRビタビ検出器64により提供される。この方法は非常に高い線記録密度の場合に有利である。PR型フィルタ62への入力

は、図5の任意選択BにおいてA/D変換器から獲得されるノイズ性の生のサンプルか、或いは図5の任意選択Aにおいてデジタル・フィルタ44の出力において得られるノイズ性のPR4等価サンプルのいずれかである。

【0038】上述のPRデータ検出方法の代わりに、最適検出方法から導出される検出器を使用することが可能である。この方法は、ホワイト化またはホワイト化マツチド・フィルタ(WMF)66を含み、後段にはそれに対応するビタビ検出器68が設けられる。この方法では、図5に示されるホワイトノイズ化フィルタ66またはそれと近似のものが、それぞれノイズの増大を生じないか低減する代わりに、記号間干渉(ISI: intersymbol interference)を導入することになる。ホワイトノイズ化フィルタ66は、有限長ISIを導入するように、単に真のWMFを近似する。ホワイトノイズ化フィルタ66の出力において測定される原因となる全体的な応答が、 $N+1$ ビット間隔に渡るものと仮定すると、フ

12

ル・ステートのビタビ検出器68は2<sup>nd</sup>のステートを必要とする。ホワイトノイズ化フィルタ66への入力は、任意選択Bにより選択される生のノイズ性のサンプルか、或いは任意選択Aにより選択されるノイズ性のPR4等価サンプルのいずれかである。

【0039】ノイズ形成フィルタ66は、長さ制限の無いISIを導入するように真のWMFを具体化するか、或いは単にWMFを近似し、有限ではあるが非常に長いISIを導入する。ノイズ形成フィルタ66の出力において測定される原因となる全体的な応答は、それぞれ無制限のまたは過度な長さを有し、それにより準最適状態低減化ビタビ検出器70が使用されることになる。ステート数を低減したビタビ検出器を使用する多数の機構が知られている。

【0040】前処理フィルタ72が適応ビタビ検出器74と共に使用される。最尤予測検出器の適応バージョンが、適応ビタビ検出器74において使用される。前処理フィルタ72の入力は、図5の任意選択Bにより選択されるノイズ性の生のサンプルか、或いは任意選択Aにより選択されるノイズ性のPR4等価サンプルのいずれかである。このデータ検出方法における基本理念は、ビタビ検出器のメトリック更新方程式を決定するパラメータのセットを、(仮の)検出器判断により、受信信号サンプルの関数として連続的に適応することである。例えば、汎用適応最尤シーケンス検出器(GAMLDS)74は、非リニア歪、タイミング及び利得オフセット、及び等価誤りの任意の組合わせの影響を受けた信号を補正する潜在能力を有する。

【0041】2つ以上の検出器14、16、64、68、70及び74がデータ検出チップ上において具体化され、特殊な検出器がチャンネル状態に依存して選択され、オンザフライ式データ回復プロシージャの不等検出機構及び拡張予測不良解析(PFA)機構が具体化される。選択検出器14、16、64、68、70及び74の出力は、図4のマルチプレクサ20及びXOR56に供給される。

【0042】図6は、本発明による順次データ検出オペレーションを表す。ブロック400で示されるように、複数のデジタル・サンプルがADC40から受信される。受信されたデジタル・サンプルは、ブロック402で示されるように、選択された第1のフィルタ、例えば図3のデジタル・フィルタ44に供給されるか、或いは図5のセクタ60により選択される任意選択Bにより、PR型フィルタ62、ホワイトノイズ化フィルタ66及び前処理フィルタ72に供給される。セクタ60により任意選択Aが選択されると、ブロック404で示されるように、図3のデジタル・フィルタ44の出力からのフィルタリングされたPR4デジタル・サンプルが選択された第2のフィルタ、例えば図5の $1+D$ フィルタ18、PR型フィルタ62、ホワイトノイズ化フィル

13

タ66、または前処理フィルタ72に供給される。第1のフィルタリングされたサンプルは、ブロック406で示されるように、第1のデータ検出器、例えばPR4ビタビ検出器14またはEPR4ビタビ検出器16に供給され、第2のフィルタリングされたデジタル・サンプルは、ブロック408で示されるように、第2のデータ検出器、例えばEPR4ビタビ検出器16、フル・ステート・ビタビ検出器68、状態低減化ビタビ検出器70、または適応ビタビ検出器74に供給される。表1にリストされたような所定のパラメータが判断ブロック410で識別される。ブロック412で示されるように、識別される所定のパラメータに回答して、例えばMUX20への検出器選択入力により、PR4ビタビ検出器14またはEPR4ビタビ検出器16が選択され、第1及び第2のデータ検出器の1つが選択される。或いはブロック414で示されるように、識別される所定のパラメータに回答して、例えば図4のXOR56により、或いは図5の2つ以上の検出器14、16、64、68、70及び74を選択することにより、第1及び第2のデータ検出器の両方が選択される。

【0043】図7及び図8は、多数決投票ユニット及びポストコードを有するEPR4サバイバ・パス・メモリ(SPM)の具体化の原理形式を示す。レジスタ交換実施形式のSPMは、高速EPRMLアプリケーションの好適な方法である。セレクト信号S0、S1、S2、S3、S4、S5、S6またはS7が、Lで示される8個のラッチまたはラッチ・ブロックの対応する1つに供給され、更に各メモリ・パス内のMで示される8個の各マルチプレクサのセレクト入力を駆動する。セレクト信号S0、S1、S2、S3、S4、S5、S6またはS7は、図11に示され後述される加算-比較-選択(ACS)ユニットにより生成される。トレリス・ステート情報を利用することにより、最小要求パス・メモリ長を15から12に減らすために、最後のステート・ビットが使用される。特に、これによりPRMLとEPRMLの\*

$$x'_k(\{a'_k\}) = a'_k + a'_k x_{-1} - a'_k x_{-2} - a'_k x_{-3}, a'_k \in \{-1, +1\} \quad (2)$$

【0046】(1)式の平方を展開した後に、 $(y_k^{EPR4} + C)^2$ の項が仮のデータ・シーケンス $\{a'_k\}$ に依存しないので、最小化からこの項を削除すると、MLSDの最小化は次式のように書き直される。

【数8】

$$\delta_k(\{a'_k\}) = A(-2x'_k(\{a'_k\}) + [y_k^{EPR4} + C] + [x'_k(\{a'_k\})]^2) \quad (4)$$

【0048】ここで、Aは基準化因子である。式(3)及び式(4)により定義される新規の変更メトリック最小化は、図7乃至図12に関連して述べられるEPR4ビタビ検出器の設計の基本である。

【0049】表2は、式(4)において式(2)を使用することにより得られる変更分岐メトリックを示す。こ

14

\*両方が同一のパス・メモリ長を有することが可能になる。SPMの各ステージは、図7のステージ1及び図8のステージ12に示されるように、ラッチLの列とマルチプレクサの列を含む。図4のポストコード50により提供される明示的な後符号化において、サバイバ・パス・メモリの深さは、体系的エラーを回避するために、好適な実施例で使用される一般的な(8、6、 $\infty$ )コードに関連して、少なくとも12記号である。最終決定はステージ12の8個の各ステージに対応するパスの最後の有効記号のMUX出力に結合される多数決投票ユニットにより獲得される。最も可能性の高いパスから獲得される最適な最終決定に比較して、多数決決定はせいぜい次善である。なぜなら、理想的には、全てのパスが最後のステージにおいて併合されるからである。一般に、最終決定は異なる手段、例えば最終決定の任意の1つを拾うことにより獲得される(ウェッジ決定(wedge decisions)と呼ばれる)。生成された多数決決定は、多数決投票ユニットの出力に接続されるポストコードに供給される。1対のラッチ及び排他的論理和80を含むポストコードが、後符号化決定を提供する。

【0044】EPR4ビタビ検出器16の実現のために、新規の変更メトリック関数が提供される。EPR4の場合のようなDCにおけるスペクトル・ヌル或いは0周波数のチャンネルでは、MLSDは変更メトリック関数を最小化することに等価である。EPR4では、この変更メトリックは次の形式を取る。

【数6】

$$J^* = \min_{\{a'_k\}} \sum_k [y_k^{EPR4} + C - x'_k(\{a'_k\})]^2 \quad (1)$$

【0045】ここで、 $y_k^{EPR4}$ はノイズが加わったEPR4サンプルであり、Cは実定数であり、 $x'_k(\{a'_k\})$ は仮のノイズの無いチャンネル出力サンプルであり、次式で与えられる。

【数7】

$$J^* = \min_{\{a'_k\}} \sum_k \delta_k(\{a'_k\}) \quad (3)$$

【0047】ここで、

【数9】

$$[y_k^{EPR4} + C] + [x'_k(\{a'_k\})]^2$$

ここで $y_k^{EPR4} = x_k^{EPR4} + n_k$ はノイズ性のEPR4信号サンプルであり、 $n_k$ はノイズ・サンプルである。 $s'_k$ 及び $s'_{k+1}$ はそれぞれ現在及び次のステートである。A=1/4の時の、表2に対応するトレリスが図9に示される。

【表2】



表2 EPR4における変更分岐メトリック

$a'_{k-2}$ $a'_{k-1}$ $a'_{k-1}$	$a'_k$	$x'_k$	$\delta_k/K$	$s'_k$	$s'_{k-1}$
-1 -1 -1	-1	0	0	0	0
-1 -1 -1	+1	+2	$-(y_k^{EPR4} + c) + 1$	0	4
+1 -1 -1	-1	-2	$+(y_k^{EPR4} + c) + 1$	1	0
+1 -1 -1	+1	0	0	1	4
-1 +1 -1	-1	-2	$+(y_k^{EPR4} + c) + 1$	2	1
-1 +1 -1	+1	0	0	2	5
+1 +1 -1	-1	-4	$+2(y_k^{EPR4} + c) + 4$	3	1
+1 +1 -1	+1	-2	$+(y_k^{EPR4} + c) + 1$	3	5
-1 -1 +1	-1	+2	$-(y_k^{EPR4} + c) + 1$	4	2
-1 -1 +1	+1	+4	$-2(y_k^{EPR4} + c) + 4$	4	6
+1 -1 +1	-1	0	0	5	2
+1 -1 +1	+1	+2	$-(y_k^{EPR4} + c) + 1$	5	6
-1 +1 +1	-1	0	0	6	3
-1 +1 +1	+1	+2	$-(y_k^{EPR4} + c) + 1$	6	7
+1 +1 +1	-1	-2	$+(y_k^{EPR4} + c) + 1$	7	3
+1 +1 +1	+1	0	0	7	7

【0050】図9のトレリスは、変更分岐メトリックを下記の(5)式の関係に従い、ノードを概略横断してシフトすることにより変形される。

【数10】

$$\min [(u+c), (v+c)] = \min [u, v] + c \quad (5)$$

【0051】上記(5)式は最大化に対しても類似である。例えば、所与の技術におけるオペレーションの最小数または最も有望なスピードに対する最適化の基準に依存して、特定の目的に合った様々なトレリス変形が獲得される。

【0052】図10は、図9のトレリスと比較される変形トレリスを示し、分岐メトリック内に現れる数量は、受信されるPR4サンプルに関して、それぞれ次のように計算される。

【数11】  $Z_k = y_{k+1}^{PR4} + 2y_k^{PR4} + y_{k-1}^{PR4} \quad (6)$

及び

$$0_k = -Z_k + 4 \quad (7)$$

【0053】なおここで、 $C=-1$ を使用した。こ

で、変更メトリック数式(1)における0でない定数Cの導入は、従来 $C=0$ の場合に必要な定数+2を $Z_k$ へ加算する必要性を排除する。また方程式(7)において定数2の代わりに4を加算することは実施が容易である。ここで具体化を容易にするために、任意の定数を $Z_k$ に加算することが可能である。実際の大規模集積回路(VLSI)設計では、オフセット2進演算の具体化を容易にするために、この特性を利用する。EPRML検出器16を反映するために、受信されたEPR4サンプル $y_k^{EPR4}$ は、受信されたPR4サンプルに関して表現されてきた。すなわち、式(6)を微分すると、 $y_k^{EPR4} = y_k^{PR4} + y_{k-1}^{PR4}$ が得られる。

【0054】図10は、EPRML検出器を具体化し、更に残りのアドレスの幾つかの具体化を容易にするために必要な加算の数を減らすための、新たな変更メトリック技術を表す。

【0055】図11は、サイズ、電力の低減及びスピードの向上を可能にするEPRMLビタビ検出器16の新

17

たな具体化を表す。メトリック制限は既知の母数メトリック加算技術により達成される。図8は、図10に示されるトレリスから直接導出される加算-比較-選択 (ACS) ユニットを示し、図7及び図8に示される対応するサバイバ・パス・メモリを有する。8個の8ビット・レジスタ J 0乃至 J 7は、図10に示されるトレリス内のドットに対応するメトリックを表す。各 J レジスタは A>B 比較器及び2対1選択用マルチプレクサに結合される。+で示される加算器ブロックは、図10で示される  $Z_k$  及び  $Q_k$  の項の加算を提供する。図11の破線部分

は、定数加算、比較 (加算に等価)、選択 (2対1マルチプレクサ)、更に別の加算及びラッチ・オペレーションを含む典型的な最悪遅延パスを示す。従って、図10の変形トレリスは、計算量及び実行オペレーション数の点では最小であるが、1クロックにつき高々1回の全加算 (または比較) 及び1回のマルチプレクス・オペレーションの実行が可能な VLSI 技術においては、現実的ではない。

【0056】図12は、単一のクロック・サイクル内に実行されなければならない計算を低減する方法を提供する、新たな状態分割技術を表す。スピード問題は、更に次に示すような状態分割技術を導入して、図10のトレリスを変形することにより解決される。第1に、全ての0でない分岐メトリックのステートが分割される。第2に、0でない分岐メトリックにより示されるこれらのステート遷移または分岐が、所与の分割ステートからの全ての残りの遷移が同一の分岐メトリックを有するように再編成される。第3に、上記関係 (5) が2度適用される。このプロシージャは図12に示される拡張トレリス構造を提供し、白抜きの円で示される追加のノードは、

関連するメトリックの擬似ステートと見なされる。この方法の複雑度における交換スピードが、拡張 EPR4 トレリスとなり、高速化の実現にはより好適である。VLSI 回路の具体化は、図12のこの拡張 EPR4 トレリスを直接的に基礎とする。

【0057】より高速の VLSI 技術が使用可能であれば、図12の拡張トレリスを導く幾つかの変形ステップが、複雑度を低減するために元の状態に戻される。理想的には、図10のトレリスが直接具体化されるべきである。

【0058】更に、式 (7) から、 $Q_k + Z_k = 4$  が得られる。シミュレーションの研究によれば、式 (7) 内の定数4がより小さな値、例えば3.75により置換されれば、エラー率性能の点で有利であることがわかってい

る。従って、式 (7) は次式に示すように、任意選択的に変更可能である。

【数12】  $Q_k + Z_k = 4 - \alpha$ ,  $0 \leq \alpha < 1$  (8)

【0059】ここで、 $\alpha$  の現実的な値は0.25である。

【0060】図13は、PR4 検出器を提供するように

18

変形された図10のEPR4トレリス遷移図を表す。図13の変形トレリスでは、分岐メトリックが受信PR4サンプルに関して次のように計算される。

【数13】  $Z'_k = y_k^{PR4}$  (9)

及び

$Q'_k = -Z'_k + 2$  (10)

【0061】図11のEPRML検出器は、図13に示されるトレリスに対応するPRML検出器を提供するように変更される。EPRML検出器の場合と同じSPMがPRML検出器に対しても使用され、トレリスだけが変更される。ここで、図13の変形トレリスは、単独で生成される場合には、PRML検出器の好適な具体化ではないことが理解されよう。

【0062】本発明は特定の実施例の詳細に関連して述べられてきたが、これらの詳細は本発明の範囲を制限するものではないことを述べておく。

【0063】まとめとして、本発明の構成に関して以下の事項を開示する。

【0064】(1) デジタル・サンプルを提供するアナログ-デジタル変換器 (ADC) に結合され、アナログ信号を提供するヘッド及びディスク・アセンブリを含むパーシャル・レスポンス (PR) ・データ・チャンネルにおける最尤データ検出方法であって、前記ADCから複数のデジタル・サンプルを受信するステップと、前記受信デジタル・サンプルを選択された第1のフィルタに供給するステップと、前記受信デジタル・サンプルを選択された第2のフィルタに供給するステップと、前記第1のフィルタを通過したデジタル・サンプルを第1のデータ検出器に供給するステップと、前記第2のフィルタを通過したデジタル・サンプルを第2のデータ検出器に供給するステップと、所定のパラメータを識別するステップと、前記識別された所定のパラメータにตอบสนองして、前記第1及び前記第2のデータ検出器の少なくとも1つを選択するステップと、を含む、最尤データ検出方法。

(2) 前記受信デジタル・サンプルを前記第1の選択フィルタに供給する前記ステップが、前記受信デジタル・サンプルをクラス I V パーシャル・レスポンス (PR4) ・サンプルを提供するデジタル・フィルタに供給するステップを含み、前記受信デジタル・サンプルを前記第2の選択フィルタに供給する前記ステップが、前記PR4サンプルを拡張 (EPR4) サンプルを提供する1+Dフィルタに供給するステップを含む、前記 (1) 記載の最尤データ検出方法。

(3) 前記第1のフィルタを通過したデジタル・サンプルを前記第1のデータ検出器に供給する前記ステップが、前記PR4サンプルをPR4ビタビ検出器に供給するステップを含む、前記 (2) 記載の最尤データ検出方法。

(4) 前記第2のフィルタを通過したデジタル・サンプルを前記第2のデータ検出器に供給する前記ステップ

が、前記EPR4サンプルをEPR4ビタビ検出器に供給するステップを含む、前記(2)記載の最尤データ検出方法。

(5) 前記受信デジタル・サンプルを前記第1の選択フィルタに供給する前記ステップが、前記受信デジタル・サンプルをパーシャル・レスポンス(PR)型フィルタに供給するステップを含む、前記(1)記載の最尤データ検出方法。

(6) 前記第1のフィルタを通過したデジタル・サンプルを前記第1のデータ検出器に供給する前記ステップが、前記PR型フィルタを通過したサンプルをPRビタビ検出器に供給するステップを含む、前記(5)記載の最尤データ検出方法。

(7) 前記受信デジタル・サンプルを前記第1の選択フィルタに供給する前記ステップが、前記受信デジタル・サンプルをホワイトノイズ化フィルタに供給するステップを含む、前記(1)記載の最尤データ検出方法。

(8) 前記第1のフィルタを通過したデジタル・サンプルを前記第1のデータ検出器に供給する前記ステップが、前記ホワイトノイズ化フィルタを通過したサンプルをフル・ステート・ビタビ検出器に供給するステップを含む、前記(7)記載の最尤データ検出方法。

(9) 前記第1のフィルタを通過したデジタル・サンプルを前記第1のデータ検出器に供給する前記ステップが、前記ホワイトノイズ化フィルタを通過したサンプルを状態低減化ビタビ検出器に供給するステップを含む、前記(7)記載の最尤データ検出方法。

(10) 前記受信デジタル・サンプルを前記第1の選択フィルタに供給する前記ステップが、前記受信デジタル・サンプルを前処理フィルタに供給するステップを含む、前記(1)記載の最尤データ検出方法。

(11) 前記第1のフィルタを通過したデジタル・サンプルを前記第1のデータ検出器に供給する前記ステップが、前記前処理フィルタを通過したサンプルを適応ビタビ検出器に供給するステップを含む、前記(10)記載の最尤データ検出方法。

(12) 前記所定のパラメータを識別する前記ステップが、前記ディスクのゾーンを識別するステップを含み、前記識別された所定のパラメータにตอบสนองして、前記第1及び前記第2のデータ検出器の少なくとも1つを選択する前記ステップが、各ヘッド及び半径の組合わせにตอบสนองして、EPRMLデータ検出器を選択するステップと、PRMLデータ検出器を選択するステップとを含む、前記(1)記載の最尤データ検出方法。

(13) 前記所定のパラメータを識別する前記ステップが、信号解析を識別するステップを含む、前記(1)記載の最尤データ検出方法。

(14) デジタル・サンプルを提供するアナログーデジタル変換器(ADC)に結合され、アナログ信号を提供するヘッド及びディスク・アセンブリを含むデジタル・

データ・チャネルにおけるデータ検出装置であって、前記ADCに結合され、前記ADCから複数のデジタル・サンプルを受信し、フィルタリングする第1のフィルタと、前記ADCに結合され、前記ADCから複数のデジタル・サンプルを受信し、フィルタリングする第2のフィルタと、前記第1のフィルタに結合され、前記第1のフィルタを通過したサンプルを受信する第1のデータ検出器と、前記第2のフィルタに結合され、前記第2のフィルタを通過したサンプルを受信する第2のデータ検出器と、所定のパラメータを識別する手段と、前記識別された所定のパラメータにตอบสนองして、前記第1及び前記第2のデータ検出器の少なくとも1つを選択する手段と、を含むデータ検出装置。

(15) 前記第1のデータ検出器が拡張クラスIVパーシャル・レスポンス(EPR4)・ビタビ検出器を含む、前記(14)記載のデータ検出装置。

(16) 前記第1のデータ検出器がパーシャル・レスポンス・クラスIV(PR4)・ビタビ検出器を含む、前記(14)記載のデータ検出装置。

(17) 前記第2のデータ検出器が拡張クラスIVパーシャル・レスポンス(EPR4)ビタビ検出器を含む、前記(16)記載のデータ検出装置。

(18) 前記第1のデータ検出器がパーシャル・レスポンス・ビタビ検出器を含む、前記(14)記載のデータ検出装置。

(19) 前記第1のデータ検出器が適応ビタビ検出器を含む、前記(14)記載のデータ検出装置。

(20) 前記第1のデータ検出器がフル・ステート・ビタビ検出器を含む、前記(14)記載のデータ検出装置。

(21) 前記第1のデータ検出器が状態低減化ビタビ検出器を含む、前記(14)記載のデータ検出装置。

(22) 前記第1のデータ検出器が、

【数14】

$$J^* = \min_{\{a'_i\}} \sum \delta_i(\{a'_i\})$$

で表される変更メトリック関数の拡張クラスIVパーシャル・レスポンス(EPR4)・ビタビ検出器の具体化を含み、ここで、

【数15】  $\delta_i(\{a'_i\}) = A(-2x'_i(\{a'_i\})[y_k^{EPR4+C} + [x'_k(\{a'_i\})]^2])$

であり、 $y_k^{EPR4}$ はノイズ性のEPR4サンプルであり、Cは実定数であり、 $x'_i(\{a'_i\})$ は、

【数16】  $x'_i(\{a'_i\}) = a'_i x + a'_i i - 1 - a'_i i - 2 - a'_i i - 3, a'_i i \in \{-1, +1\}$

で与えられる仮のノイズの無いチャネル出力サンプルである、前記(14)記載のデータ検出装置。

(23) 分岐メトリックが受信PR4サンプルに関して、

21

【数 17】  $z_k = y_{k+1}^{PR4} + 2y_k^{PR4} + y_{k-1}^{PR4}$

で表現され、

【数 18】  $Q_k = -z_k + (4 - \alpha)$

であり、 $0 \leq \alpha < 1$ 、 $C = -1$  及び  $y_k^{EPR4} = y_k^{PR4} + y_{k-1}^{PR4}$  である、前記 (22) 記載のデータ検出装置。

【0065】

【発明の効果】以上説明したように、本発明によれば、従来構成の多くの欠点を克服するデータ検出方法及び装置を提供することができる。

【図面の簡単な説明】

【図 1】 パーシャル・レスポンス・クラス 4 (PR4) にもとづくパーシャル・レスポンス最尤 (PRML) チャネルのパルス応答を表すグラフである。

【図 2】 拡張パーシャル・レスポンス・クラス 4 (EPR4) にもとづくパーシャル・レスポンス最尤 (PRML) チャネルのパルス応答を表すグラフである。

【図 3】 本発明による拡張パーシャル・レスポンス最尤 (EPRML) チャネルと PRML チャネルの組合わせを表すブロック図である。

【図 4】 本発明による拡張パーシャル・レスポンス最尤 (EPRML) チャネルと PRML チャネルの組合わせを表すブロック図である。

【図 5】 本発明の別の柔軟なチャネル・アーキテクチャのブロック図である。

【図 6】 本発明のデータ検出方法による順次データ検出ステップを表す流れ図である。

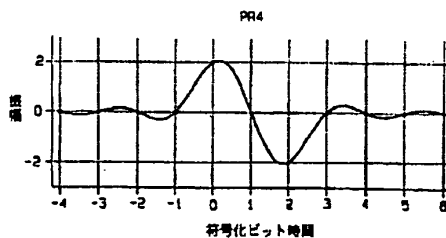
【図 7】 EPR4 ビタビ検出器構成のサバイバ・パス・メモリを表す図である。

【図 8】 EPR4 ビタビ検出器構成のサバイバ・パス・メモリを表す図である。

【図 9】  $A = 1/4$ 、 $Y_k = Y_k^{EPR4}$  及び  $C$  が実定数である変更メトリック計算による 8 状態 EPR4 トレリス遷移図である。

【図 10】  $A = 1/4$  及び  $C = -1$  による変更メトリック計算による変形 8 状態 EPR4 トレリス遷移図である。

【図 1】



22

【図 11】 本発明による図 10 のトレリスから直接導出される EPR4 ビタビ検出器の加算、比較及び選択 (ACS) 計算回路を表す図である。

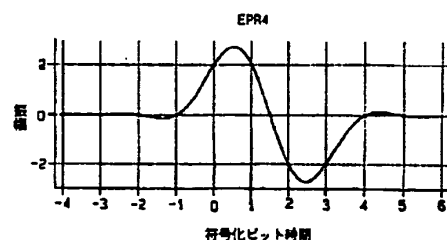
【図 12】 高速化を可能にする第 2 の別の変形及び拡張 EPR4 トレリス遷移図である。

【図 13】 PR4 検出器として変形された図 10 の EPR4 トレリス遷移図である。

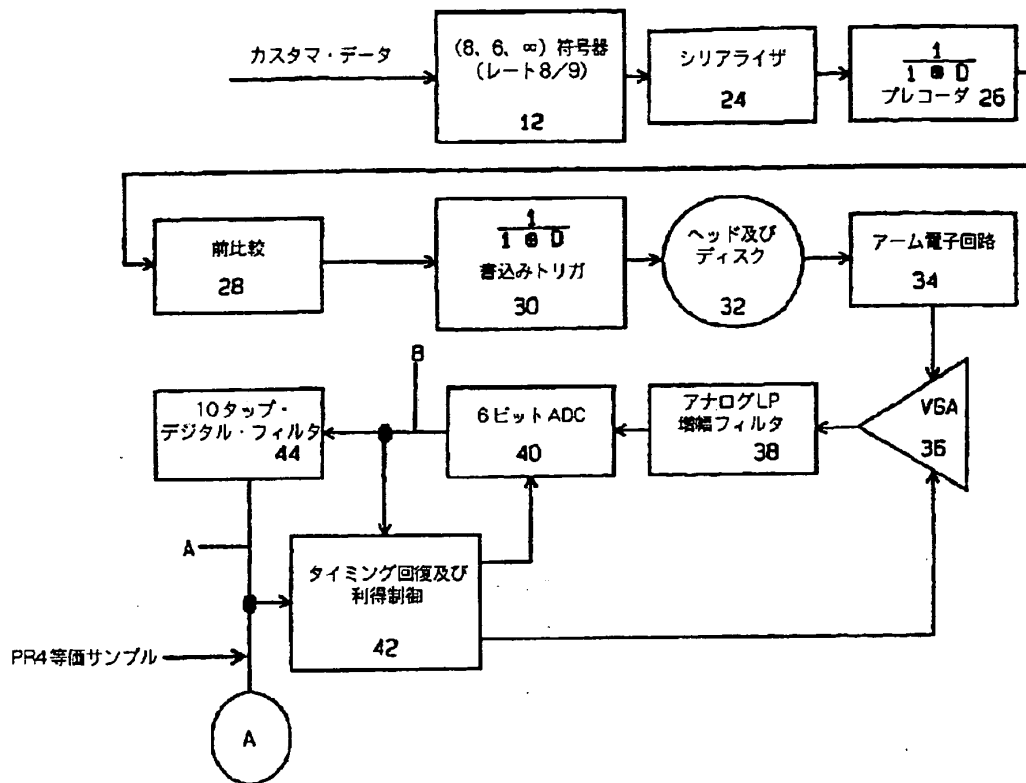
【符号の説明】

- 10 パーシャル・レスポンス記録チャネル
- 12 符号器
- 14 PR4 ビタビ検出器
- 16 EPR4 ビタビ検出器
- 18 フィルタ回路
- 20 マルチプレクサ
- 24 シリアライザ
- 26 プレコーダ
- 28 PRML 前比較
- 30 書込みトリガ回路
- 36 可変利得増幅器 (VGA)
- 38 ローパス・フィルタ
- 40 アナログ-デジタル変換器 (ADC)
- 42 タイミング回復及び利得制御
- 44 デジタル・フィルタ
- 46 復号器
- 50 ポストコーダ
- 52 並列化機構
- 54 遅延
- 56 排他的論理和 (XOR)
- 60 セレクタ
- 62 PR 型フィルタ
- 64 PR ビタビ検出器
- 66 ホワイトノイズ化フィルタ
- 68 フル・ステート・ビタビ検出器
- 70 状態低減化ビタビ検出器
- 72 前処理フィルタ
- 74 適応ビタビ検出器

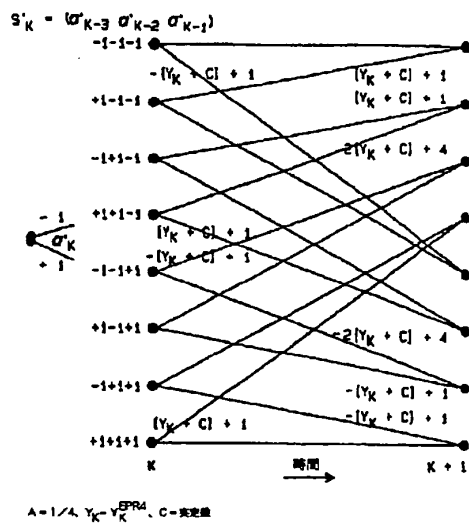
【図 2】



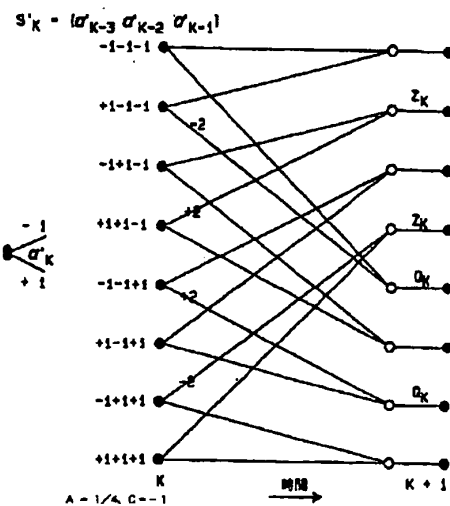
【図3】



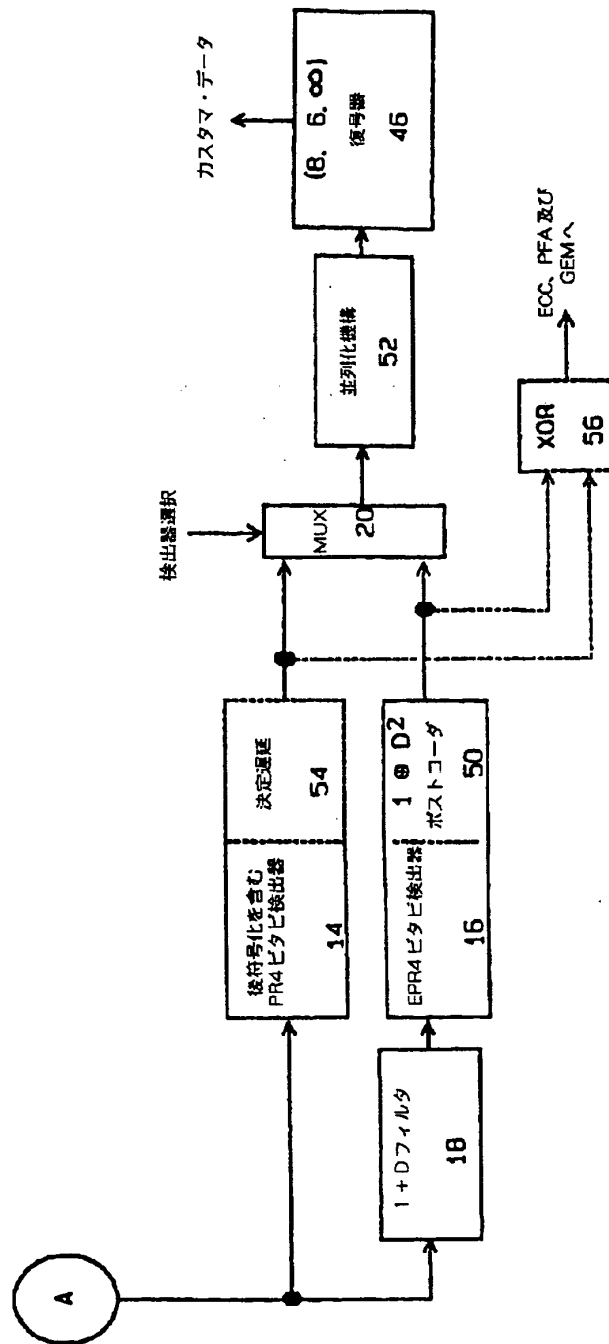
【図9】



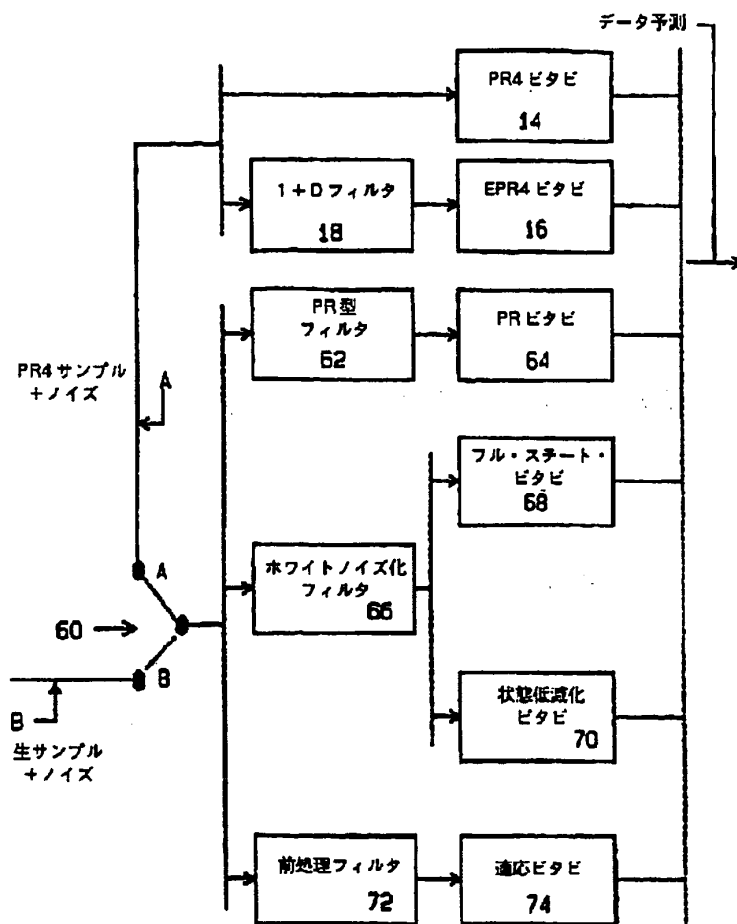
【図10】



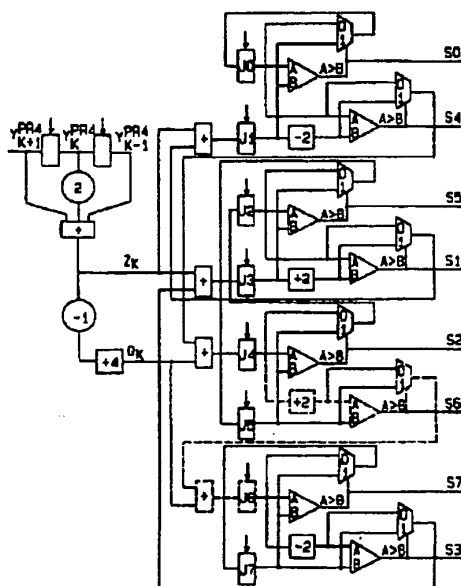
【図 4】



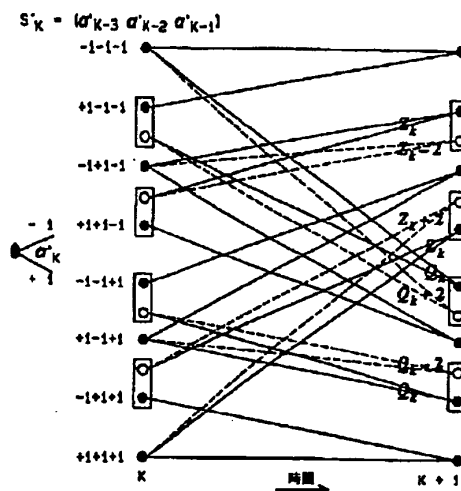
【図5】



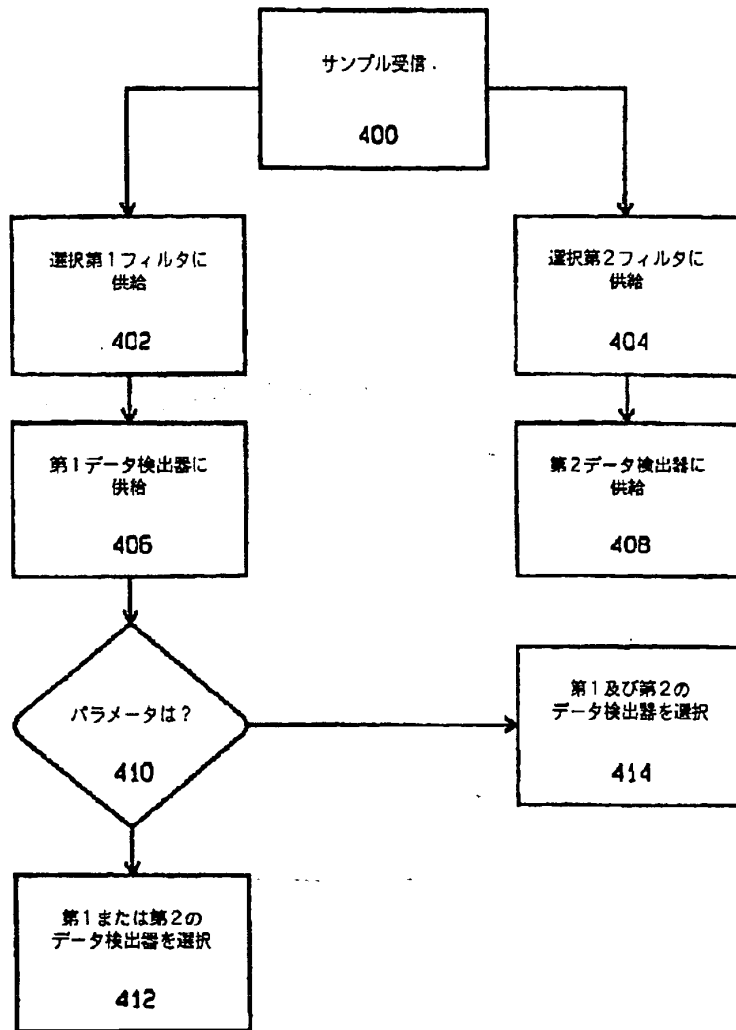
【図11】



【図12】

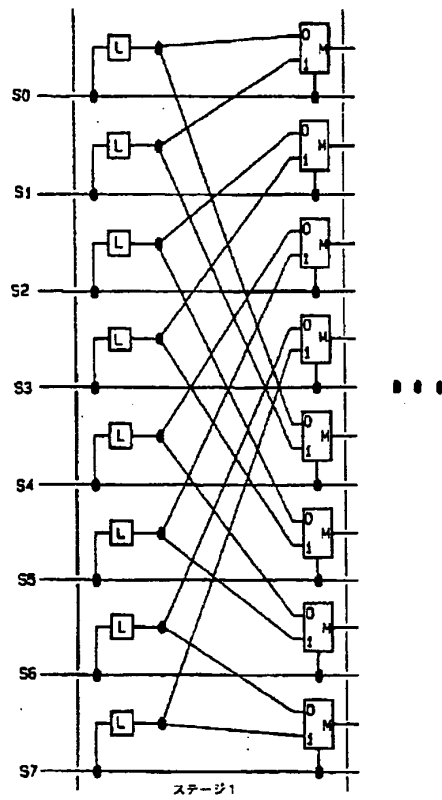


【図 6】

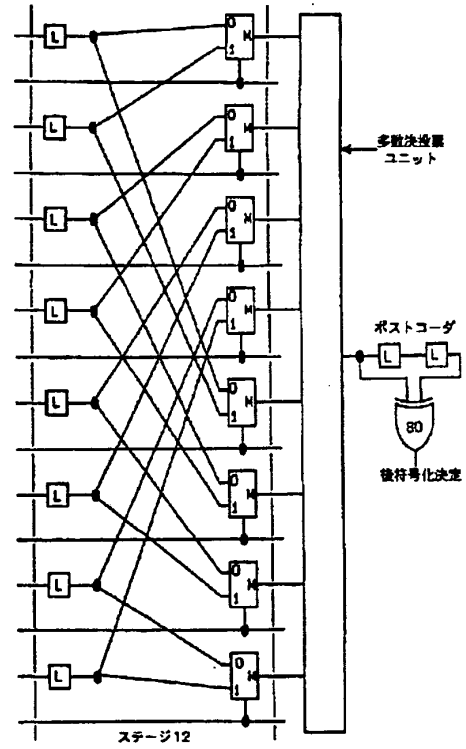




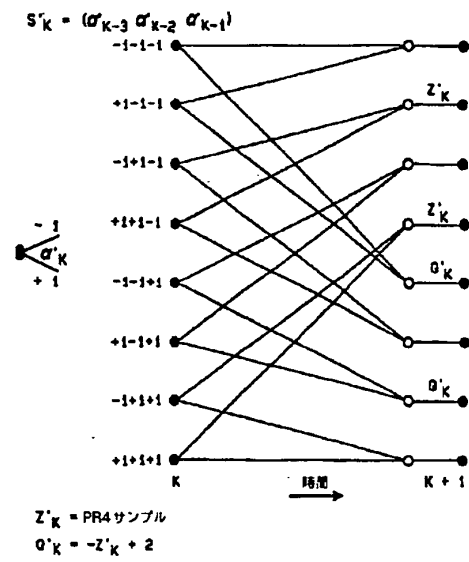
【図 7】



【図 8】



【図 13】



## フロントページの続き

- (72) 発明者 フランコイス・バーナード・ドリボ  
スイス、シィ・エイチ-8820 ウェイデ  
ンスウィル、アントレ・ウェイドストラ  
ッセ 14
- (72) 発明者 リチャード・レオ・ガルブレイス  
アメリカ合衆国55901、ミネソタ州ロチ  
ェスター、フィフティ・セカンド・スト  
リート・ノース・ウエスト 2232
- (72) 発明者 レト・ジェイ・ハーマン  
スイス、8863 バチコン、ビュエルスト  
ラッセ 5
- (72) 発明者 ウォルター・ヒート  
スイス、シィ・エイチ-8907、ウェッツ  
ウィル、エイ/エイ、ヒンダーウエイド  
ストラッセ 29
- (72) 発明者 ケビン・バンノースデル  
アメリカ合衆国95118、カリフォルニア  
州サン・ホセ、ナンバー4、ジョプリ  
ン・ドライブ 1329

- (56) 参考文献 特開 平4-221464 (J P, A)  
特開 平3-8173 (J P, A)  
特開 平1-256850 (J P, A)  
特開 平7-57394 (J P, A)  
特開 平7-29320 (J P, A)  
特開 平6-232921 (J P, A)  
特開 平6-139700 (J P, A)  
特開 平5-274811 (J P, A)  
特開 平5-175915 (J P, A)  
特開 平4-182968 (J P, A)  
特開 平2-230822 (J P, A)  
特開 平2-226981 (J P, A)  
特開 昭58-181162 (J P, A)  
特開 昭61-108226 (J P, A)

電子情報通信学会論文誌C-I I、V  
OL. J75-C-I I, NO. 11, 三田  
誠一「磁気ディスク用信号処理技術の最  
近の話題」P P. 611-623

IEICE TRANS. COMMU  
N., VOL. E76-B, NO. 6 (J  
UNE 1993) CARLOS VALD  
EZ ETAL. " ERROR PRO  
BABILITY ANALYSIS  
IN REDUCED STATE V  
ITERBI DECODING, " P  
P. 667-676

電子情報通信学会技術研究報告、VO  
L. 92, NO. 213 (SEPT. 1992)  
無線通信システム (RCS) RCS92-  
66、久保博嗣他「高速フェージングに適  
した等化と復号をATED CMOS  
MIXED-MODE SIGNAL  
PROCESSOR FOR DISK  
DRIVE READ CHANNE  
L APPLICATIONS, " P  
P. 1-11